

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028753

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G11C 11/401

G11C 11/413

G11C 11/417

(21)Application number : 03-204913

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.07.1991

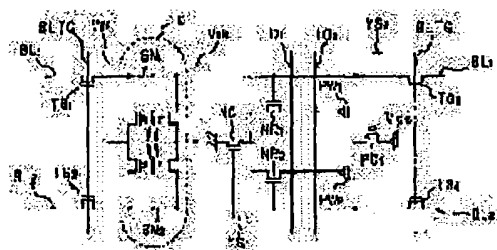
(72)Inventor : NAGAI MASANOBU
MATSUMOTO SHOICHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent destruction of data caused when an input output line is connected to a bit line at a data read-out time and to attain read-out or write-in without a signal of read-out of the data or write-in of the data.

CONSTITUTION: Gates are connected to bit lines BL1, BL2 between the bit lines BL1, BL2 constituting a bit line pair and the input/output lines IO1, IO2 constituting the input/output line pair and drains are connected to data read-out N channel MOS transistors NR1, NR2 and the gates are connected to the input/output lines IO1, IO2. Data write-in P channel MOS transistors PW1, PW2 in which the drains are connected to bit lines BL1, BL2, are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-28753

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/401

11/413

11/417

8320-5L

G11C 11/34

362 F

J

7323-5L

審査請求 未請求 請求項の数1(全7頁) 最終頁に続く

(21)出願番号 特願平3-204913

(22)出願日 平成3年(1991)7月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 永井 昌伸

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

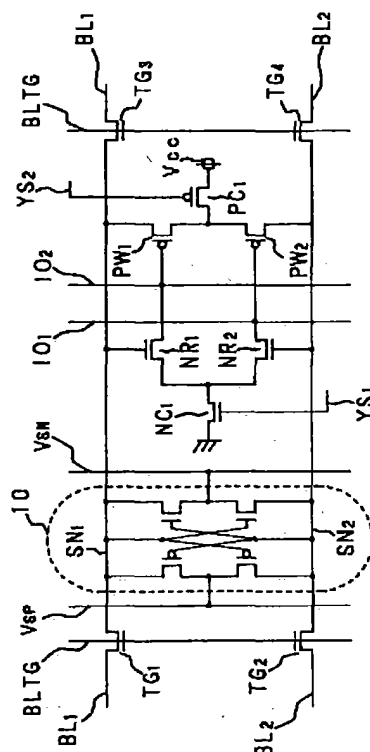
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 データ読出し時に入出力線をビット線に接続したときに生じるデータ破壊を防止すると共に、データの読出し又はデータの書き込み信号なしで読出し又は書き込みを可能とする。

【構成】 ビット線対を構成するビット線 BL_1 、 BL_2 と、入出力線対を構成する入出力線 IO_1 、 IO_2 との間にゲートをビット線 BL_1 、 BL_2 に接続し、ドレインを入出力線 IO_1 、 IO_2 に接続したデータ読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 並びにゲートを入出力線 IO_1 、 IO_2 に接続し、ドレインをビット線 BL_1 、 BL_2 に接続したデータ書き込み用PチャネルMOSトランジスタ PW_1 、 PW_2 を設ける。



【特許請求の範囲】

【請求項1】 メモリセルに接続されたビット線と、データの入出力線との間に設けたMOS トランジスタを制御して選択されたメモリセルのデータの読出し、又はこれに対するデータの書込みを行うようにした半導体記憶装置において、
前記MOS トランジスタはゲートをビット線に接続し、ドレインを入出力線に接続した読出し用MOS トランジスタと、ゲートを入出力線に接続し、ドレインをビット線に接続した書込み用MOS トランジスタとからなり、また前記読出し用MOS トランジスタ、書込み用MOS トランジスタを含む回路を活性化する回路を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータの入出力線を通じてデータの読出し、及び書込みが可能な半導体記憶装置に関する。

【0002】

【従来の技術】 図4は従来のスタティックカラム動作モードのDRAMにおけるビット線対と入出力線対との接続関係を示す回路図であり、図中 BL_1 、 BL_2 はビット線対をなすビット線、 IO_1 、 IO_2 は入出力線対をなすデータ入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。各ビット線 BL_1 、 BL_2 はその一端部が図示しないメモリセルアレイ中のメモリセルに接続されており、また夫々途中にゲートをビット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOS トランジスタ TG_1 、 TG_2 、 TG_3 、 TG_4 が介装せしめられている。

【0003】 また両ビット線 BL_1 、 BL_2 には前記トランジスタ TG_1 、 TG_3 間、 TG_2 、 TG_4 間においてセンスアンプ10が接続されると共に、このセンスアンプ10による増幅が行われるノード、所謂センスノード SN_1 、 SN_2 は夫々カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 を介在させて入出力線 IO_1 、 IO_2 に接続されている。カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 はそのゲートがカラム選択信号線YSに接続され、ソース又はドレインの一方がセンスノード SN_1 、 SN_2 に、他方が入出力線 IO_1 、 IO_2 に接続されている。

【0004】 次にこのような半導体記憶装置の動作を説明する。まずデータの読出し動作においては入出力線 IO_1 、 IO_2 をプリチャージする一方、ビット線トランスファゲートコントロール信号線BLTGにハイレベルの信号「H」を与えて選択されたビット線 BL_1 、 BL_2 を導通状態とする。これによって図示しないメモリセルからの微弱なデータはセンスノード SN_1 、 SN_2 に導かれ、センスアンプ10にて増幅される。

【0005】 センスアンプ10による増幅は、例えばセンスノード SN_1 のデータ信号をハイレベル「H」側に増幅

するときはセンスノード SN_2 のデータ信号はこれと対応するローレベル「L」側に増幅するようになっている。カラム選択信号線YSにハイレベル「H」の信号を入力し、両カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによってセンスノード SN_1 は入出力線 IO_1 と、またセンスノード SN_2 は入出力線 IO_2 と夫々接続されることとなり、データの読み出しが行われる。データの書込み動作はカラム選択信号線YSにハイレベル「H」の信号を与え、各カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによって各入出力線 IO_1 、 IO_2 をビット線 BL_1 、 BL_2 に接続し、入出力線 IO_1 、 IO_2 、ビット線 BL_1 、 BL_2 を通じてメモリセルにデータが書き込まれる。

【0006】 ところでこのような従来装置にあっては、データの読出し時には入出力線 IO_1 、 IO_2 はいずれもプリチャージされており、カラム選択信号線YSにハイレベル「H」の信号を与えてカラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とすると入出力線 IO_1 、 IO_2 のハイレベル「H」の電荷がセンスノード SN_1 、 SN_2 に逆流する。

【0007】 センスノード SN_1 、 SN_2 のデータがセンスアンプ10にて十分大きい電位差に迄増幅されている場合にはデータが破壊されることは少ないが、増幅途中においてはセンスアンプ10の動作が不安定となり、データが破壊されることが生じる。このためカラム選択信号線YSにハイレベル「H」の信号を設定するのはセンスアンプ10によるデータ信号の増幅が十分行われたタイミングで行われねばならずそのための待ち時間が必要となり、迅速な読み出しが出来ないという難点があった。

【0008】 図5は従来における他の半導体記憶装置におけるビット線と読出し用データ線、書込み用データ線との接続関係を示す回路図である。この半導体記憶装置においては入出力線に代わって一对の読出しデータ線 RD_1 、 RD_2 、書込みデータ線 WD_1 、 WD_2 及び書込み開始信号線WBを備えており、これらとビット線 BL_1 、 BL_2 との間に読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 、カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 、 NC_3 及び書込用NチャネルMOS トランジスタ NW_1 、 NW_2 が介在せしめられている。

【0009】 読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 は夫々そのゲートをセンスノード SN_1 、 SN_2 に、またドレインを読出しデータ線 RD_1 、 RD_2 に、ソースをカラム選択用NチャネルMOS トランジスタ NC_1 を介して接地してある。カラム選択用NチャネルMOS トランジスタ NC_1 はゲートをカラム選択信号線YSに、またソースを接地せしめてある。カラム選択用NチャネルMOS トランジスタ NC_2 、 NC_3 はそのゲートをカラム選択信号線YSに、またソース又はドレインの一方をデータ線 WD_1 、 WD_2 に、他方を各書込み用NチャネルMOS トランジスタ NW_1 、 NW_2 に接続されている。

【0010】書込み用NチャネルMOS トランジスタ N_{W1} , N_{W2} は夫々そのゲートを書込み開始信号線 WE に、またソース、ドレインの一方を前記カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 に、他方をセンスノード SN_1 , SN_2 に接続してある。他の構成は図4に示す従来装置と同じであり、対応する部位には同じ符号を付してある。

【0011】次にこのような半導体記憶装置の動作について説明する。データの読み出し動作は読出しデータ線 RD_1 , RD_2 をプリチャージしてハイレベル「H」に設定し、またビット線トランスファゲートコントロール信号線 $BLTG$ をハイレベル「H」としてビット線 BL_1 , BL_2 を導通状態とする。所定のメモリセルからのデータはセンスノード SN_1 , SN_2 に導出されてセンスアンプ10にて増幅される。カラム選択信号線 YS をハイレベル「H」に設定してカラム選択用NチャネルMOS トランジスタ NC_1 をオン状態にしておくと、データ信号がセンスアンプ10にて閾値を越えるレベルに増幅された時点で、読出し用NチャネルMOS トランジスタ NR_1 , NR_2 がオン状態となり、プリチャージされた読出しデータ線 RD_1 , RD_2 の電荷が放電され、データが読み出される。

【0012】なおデータの書込みはカラム選択信号線 YS 及び書込み開始信号線 WE を夫々ハイレベル「H」に設定すると、カラム選択用NチャネルMOS トランジスタ N_{C1} , N_{C2} 及び書込み用NチャネルMOS トランジスタ N_{W1} , N_{W2} がいずれもオン状態となり、書込みデータ線 WD_1 , WD_2 はビット線 BL_1 , BL_2 に接続され、所定のメモリセルにデータが書込まれることとなる。

【0013】

【発明が解決しようとする課題】ところで図5に示す如き従来の半導体記憶装置にあっては、図4に示す従来装置の如く、読出しデータ線 RD_1 , RD_2 とビット線 BL_1 , BL_2 とが直接接続されることがないため、読出し時のデータ破壊が生じず、カラム選択信号の入力タイミングを早く設定することが可能で読出し動作の高速化が図れる反面、読出しと、書込みが夫々別個の読出しデータ線 RD_1 , RD_2 、書込みデータ線 WD_1 , WD_2 によって行われ、しかも書込み開始信号線 WE も必要となるため、必要な路線長が長くなり、MOS トランジスタ等の素子数も多くパターン面積が増大する等の問題があった。本発明はかかる事情に鑑みなされたものであって、その目的とするところはデータ読出し時のデータの破壊がなく、配線長が短くて済み、しかもトランジスタ等の素子数の増大を伴わない半導体記憶装置を提供するにある。

【0014】

【課題を解決するための手段】本発明に係る半導体記憶装置は、メモリセルに接続されたビット線と、データの入出力線との間に設けたMOS トランジスタを制御して選択されたメモリセルのデータの読出し、又はこれに対するデータの書込みを行うようにした半導体記憶装置にお

いて、前記MOS トランジスタはゲートをビット線に接続し、ドレインを入出力線に接続した読出し用MOS トランジスタと、ゲートを入出力線に接続し、ドレインをビット線に接続した書込み用MOS トランジスタとからなり、また前記読出し用MOS トランジスタ、書込み用MOS トランジスタを含む回路を活性化する回路を具備することを特徴とする。

【0015】

【作用】本発明にあってはビット線とデータの入出力線との間に、ゲートをビット線に接続し、ドレインを入出力線に接続した読出し用MOS トランジスタと、ゲートを入出力線に接続し、ドレインをビット線に接続した書込み用MOS トランジスタとを設けたから、入出力線はビット線と直接接続されることがなく、データ破壊を生じない。

【0016】

【実施例】以下本発明をその実施例を示す図面に基づき具体的に説明する。

(実施例1) 図1は本発明に係る半導体記憶装置におけるビット線と入出力線との接続関係を示す回路図であり、図中 BL_1 , BL_2 はビット線対を構成するビット線、 IO_1 , IO_2 はデータの入出力線対を構成する入出力線、 $BLTG$ はビット線トランスファゲートコントロール信号線を示している。各ビット線 BL_1 , BL_2 は夫々その一端部は図示しないメモリセルに接続され、また途中にはゲートをビット線トランスファゲートコントロール信号線 $BLTG$ に接続したトランジスタ $TG_1 \sim TG_4$ が介装され、ビット線トランスファゲートコントロール信号線 $BLTG$ をハイレベル「H」に設定することにより選択されたメモリセルアレイに連なるビット線 BL_1 , BL_2 が選択されることとなる。

【0017】また各ビット線 BL_1 , BL_2 におけるMOS トランジスタ TG_1 , TG_3 と TG_2 , TG_4 との中間にはセンスアンプ10が接続されている。センスアンプ10は直列的に接続した一対のNチャネルMOS トランジスタ、同じく直列的に接続した一対のPチャネルMOS トランジスタをビット線 BL_1 , BL_2 に並列的に接続すると共に、NチャネルMOS トランジスタのソースは共通ソース線 V_{SS} に、またPチャネルMOS トランジスタのソースは共通ソース線 V_{DD} に夫々接続し、また対応するNチャネルMOS トランジスタとPチャネルMOS トランジスタのゲートを夫々ビット線 BL_1 , BL_2 に接続して構成されている。

【0018】また、ビット線 BL_1 , BL_2 と入出力線 IO_1 , IO_2 とは読出し用NチャネルMOS トランジスタ NR_1 , NR_2 及び書込み用PチャネルMOS トランジスタ PW_1 , PW_2 が介装されている。

【0019】読出し用NチャネルMOS トランジスタ NR_1 , NR_2 は夫々ゲートをビット線 BL_1 , BL_2 におけるセンスノード SN_1 , SN_2 に接続され、ドレインを入出力線 IO_1 , IO_2 に、ソースをカラム選択用NチャネルMOS

トランジスタ NC_1 のドレインに接続されている。カラム選択用NチャネルMOS トランジスタ NC_1 はゲートをカラム選択信号線 YS_1 に接続し、またソースを接地してある。

【0020】一方、書込み用PチャネルMOS トランジスタ PW_1 、 PW_2 は夫々そのゲートを入出力線 IO_1 、 IO_2 に接続し、各ドレインをビット線 BL_1 、 BL_2 におけるセンスノード SN_1 、 SN_2 に接続し、またソースを夫々カラム選択用PチャネルMOS トランジスタ PC_1 のドレインに接続してある。カラム選択用PチャネルMOS トランジスタ PC_1 はゲートをカラム選択信号線 YS_2 に、またソースを電源 V_{cc} に接続してある。

【0021】次にこのような半導体記憶装置の動作を説明する。先ずデータの読出し動作は入出力線 IO_1 、 IO_2 をプリチャージし、またビット線トランスファゲートコントロール信号線 $BLTG$ にハイレベルの信号を設定し、ビット線 BL_1 、 BL_2 を導通状態とする。これによってデータはセンスノード SN_1 、 SN_2 に導出され、センスアンプ10にて増幅される。読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 のいずれか一方がオン状態に、他方がオフ状態になると、カラム選択信号線 YS_1 をハイレベル「H」に、またカラム選択信号線 YS_2 をローレベル「L」に設定する。

【0022】これによって読出し用NチャネルMOS トランジスタ NR_1 又は NR_2 のいずれか一方及びカラム選択用NチャネルMOS トランジスタ NC_1 がオン状態となり、プリチャージされた入出力線 IO_1 又は IO_2 の電荷が放電され、入出力線 IO_1 又は IO_2 を通じてデータの読出しが行われる。

【0023】入出力線 IO_1 、 IO_2 のプリチャージされた電荷は直接ビット線 BL_1 、 BL_2 のセンスノード SN_1 、 SN_2 を経ることなく放電されるため、センスノード SN_1 、 SN_2 のデータが破壊されることがなく、またカラム選択信号線 YS_1 は読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 のいずれか一方がオン状態、他方がオフ状態となった時点でハイレベルに設定するから、従来装置と比較してより早い時期に設定が可能となり、データの読出しの高速化が図れる。

【0024】そして、データの読出しが進行し、入出力線 IO_1 又は IO_2 の電位が $V_{cc}-V_{tp}$ （書込み用NチャネルMOS トランジスタ PW_1 、 PW_2 の閾値）以下の電位になるとこれにゲートが接続されている書込み用PチャネルMOS トランジスタ PW_1 又は PW_2 がオン状態となり、一方カラム選択信号線 YS_2 には既にローレベル「L」の信号が付与されているから、カラム選択用PチャネルMOS トランジスタ PC_1 がオン状態となっており、電源 V_{cc} の電圧がカラム選択用PチャネルMOS トランジスタ PC_1 及び書込み用PチャネルMOS トランジスタ PW_1 又は PW_2 を経てビット線 BL_1 又は BL_2 のセンスノード SN_1 又は SN_2 に印加され、読出し時における動作を阻害することなく、

むしろ読出し動作を助長するように動作する。

【0025】一方データの書込み動作はビット線トランスファゲートコントロール信号線 $BLTG$ をハイレベル

「H」に設定した後、入出力線 IO_1 、 IO_2 にデータ信号を与えると低レベルの信号が付与された入出力線 IO_1 又は IO_2 にゲートが接続されている書込み用NチャネルMOS トランジスタ PW_1 又は PW_2 がオン状態となり、電源 V_{cc} の電圧が書込み用NチャネルMOS トランジスタ PW_1 又は PW_2 を経てビット線 BL_1 又は BL_2 のセンスノード SN_1 又は SN_2 に付与されて書込みが行われ、読出し動作に優先してデータの書込みが行われる。

【0026】（実施例2）図2は本発明の他の実施例におけるビット線と入出力線との接続関係を示す回路図である。この実施例にあつては実施例1におけるセンスアンプ10をNチャネルセンスアンプ11と、Pチャネルセンスアンプ12とに分割し、Nチャネルセンスアンプ11の共通ソース線 V_{sn} にカラム選択用NチャネルMOS トランジスタ NC_1 のソースを接続し、一方Pチャネルセンスアンプ12の共通ソース線 V_{sp} にカラム選択用PチャネルMOS トランジスタ PC_1 のソースを接続してある。他の構成は実施例1と実質的に同じであり、対応する部位には同じ番号を付して説明を省略する。

【0027】このような実施例2の動作を説明する。データ読出し動作は、ビット線トランスファゲートコントロール信号線 $BLTG$ にハイレベル「H」の信号を設定し、両ビット線 BL_1 、 BL_2 のセンスノード SN_1 、 SN_2 にデータを導出し、Nチャネルセンスアンプ11及びPチャネルセンスアンプ12にて、例えばセンスノード SN_1 のレベルは高く、またセンスノード SN_2 のレベルは低くなるよう増幅されてゆくものとすると、Nチャネルセンスアンプ11の共通ソース線 V_{sn} は零V側に引かれてゆく。これに伴ってこれにソースが接続されているカラム選択用NチャネルMOS トランジスタ NC_1 が共通ソース線 V_{sn} と同電位の零V側に降圧されてゆく。

【0028】この過程でカラム選択用信号線 YS をハイレベル「H」に設定するとカラム選択用NチャネルMOS トランジスタ NC_1 がオン状態となり、そのドレイン側、換言すれば読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 のソース側電位が引下げられることとなり、センスノード SN_1 又は SN_2 の電位差が読出し用NチャネルMOS トランジスタ NR_1 又は NR_2 の閾値を越えると同時にオン状態となり、入出力線 IO_1 又は IO_2 のプリチャージ電位が引下げられデータの読出しが行われる。

【0029】次に書込み動作を説明する。先の読出し動作中Pチャネルセンスアンプ12のハイレベル側における増幅作用によってその共通ソース線 V_{sp} の電位は電源 V_{cc} の電圧側に高められ、これにソースを接続した書込み用PチャネルMOS トランジスタ PC_1 のソースを共通ソース線 V_{sp} の電位に高められた状態となっている。

【0030】一方、カラム選択信号線 YS_2 にはデータ読

出し時にカラム選択信号線 YS_1 にハイレベル「H」の信号を設定すると同時にローレベル「L」の信号を設定してあるから、カラム選択用PチャネルMOSトランジスタ PC_1 がオン状態となっており、そのドレイン側も共通ソース V_{ss} の電位に迄高められた状態となっている。

【0031】書込み用PチャネルMOSトランジスタ PW_1 、 PW_2 のゲートには入出力線 IO_1 、 IO_2 のプリチャージ電圧が印加されているから、データ読出し動作中はオフ状態に維持されている。いま、前述した如きデータの読出し動作が進行して入出力線 IO_1 又は IO_2 のプリチャージ電圧が引下げられ、 $V_{cc}-V_{tp}$ （書込み用PチャネルMOSトランジスタ閾値）以下に迄降圧されると書込み用PチャネルMOSトランジスタ PW_1 及び/又は PW_2 がオン状態となり、ビット線 BL_1 、 BL_2 のセンスノード SN_1 、 SN_2 に共通ソース線 V_{ss} の電荷が充填され、データの書込みが行われることとなる。

【0032】この実施例2においてはカラム選択用信号線 YS_1 、 YS_2 にハイレベル「H」の信号を設定するタイミングは読出し速度を速くする観点からいくらか速くしても読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 はセンスノード SN_1 、 SN_2 の電位がこれらの閾値を越えない限りオン状態とならないから、カラム選択用信号線 YS_1 、 YS_2 のハイレベル設定タイミングが読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 の事情の如何に拘らず設定出来ることとなり、読出し速度の一層の高速化が可能となる。

【0033】（実施例3）図3は本発明の更に他の実施例におけるビット線と、入出力線との接続関係を示す回路図であり、ビット線 BL_1 、 BL_2 のセンスノード SN_1 、 SN_2 と入出力線 IO_1 、 IO_2 との間には読出し用PチャネルMOSトランジスタ PR_1 、 PR_2 及び書込み用NチャネルMOSトランジスタ NW_1 、 NW_2 が介装されている。

【0034】読出し用PチャネルMOSトランジスタ PR_1 、 PR_2 はゲートを夫々センスノード SN_1 、 SN_2 に接続され、またソースはカラム選択用NチャネルMOSトランジスタ NC_1 に、ドレインは各入出力線 IO_1 、 IO_2 に夫々接続されている。カラム選択用NチャネルMOSトランジスタ NC_1 はゲートがカラム選択用信号線 YS に、またソースは電源 V_{cc} に夫々接続されている。

【0035】一方、書込み用NチャネルMOSトランジスタ NW_1 、 NW_2 は夫々ゲートが入出力線 IO_1 、 IO_2 に接続され、ドレインはセンスノード SN_1 、 SN_2 に、ソースはカラム選択用NチャネルMOSトランジスタ NC_2 に夫々接続されている。カラム選択用NチャネルMOSトランジスタ NC_2 はゲートがカラム選択用信号線 YS に接続され、ソースは接地されている。

【0036】次にこのような半導体記憶装置の動作を説明する。データの読出し動作は実施例1と実質的に同じであり、入出力線 IO_1 、 IO_2 をプリチャージし、また各ビット線トランスファゲートコントロール信号線 $BLTG$ を

ハイレベルに設定し、メモリセルのデータをセンスノード SN_1 、 SN_2 に導出し、センスアンプ10にて増幅する。

【0037】これによってデータがローレベル側に増幅されたセンスノード SN_1 又は SN_2 にゲートが接続されている読出し用PチャネルMOSトランジスタ PR_1 又は PR_2 がオン状態となり、所定のタイミングでカラム選択用信号線 YS をハイレベル「H」に設定すると、カラム選択用NチャネルMOSトランジスタ NC_1 がオン状態となり、電源 V_{cc} の電圧が入出力線 IO_1 、 IO_2 に充填され読出しが行われることとなる。

【0038】データの読出し過程で入出力線 IO_1 又は IO_2 に電源 V_{cc} の電圧が加えられると、高電圧となった入出力線 IO_1 又は IO_2 にゲートが接続されている書込み用NチャネルMOSトランジスタ NW_1 又は NW_2 がオン状態となり、カラム選択用信号線 YS は既にハイレベル「H」に設定され、カラム選択用NチャネルMOSトランジスタ NC_2 がオン状態となっているから、書込み用NチャネルMOSトランジスタ NW_1 又は NW_2 は接地され、センスノード SN_1 又は SN_2 は零電位に接続される。データの書込み動作も実施例1と実質的に同じであり、説明を省略する。

【0039】

【発明の効果】以上の如く本発明装置にあっては、ビット線とデータの入出力線との間にゲートをビット線に接続し、ドレインを入出力線に接続した読出し用MOSトランジスタと、ゲートを入出力線に接続し、ドレインをビット線に接続した書込み用MOSトランジスタを介装したからデータ読出し時に入出力線とビット線とが直接的に接続されることがなく、データ破壊が確実に防止され、しかもそのための回路自体も特に複雑化することがなく、データの読出しの高速化が図れる等本発明は優れた効果を奏するものである。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置におけるビット線と入出力線との接続関係を示す回路図である。

【図2】本発明の他の実施例におけるビット線と入出力線との接続関係を示す回路図である。

【図3】本発明の更に他の実施例におけるビット線と入出力線との接続関係を示す回路図である。

【図4】従来装置におけるビット線と入出力線との接続関係を示す回路図である。

【図5】他の従来装置におけるビット線と入出力線との接続関係を示す回路図である。

【符号の説明】

10 センスアンプ

11 Nチャネルセンスアンプ

12 Pチャネルセンスアンプ

BL_1 、 BL_2 ビット線

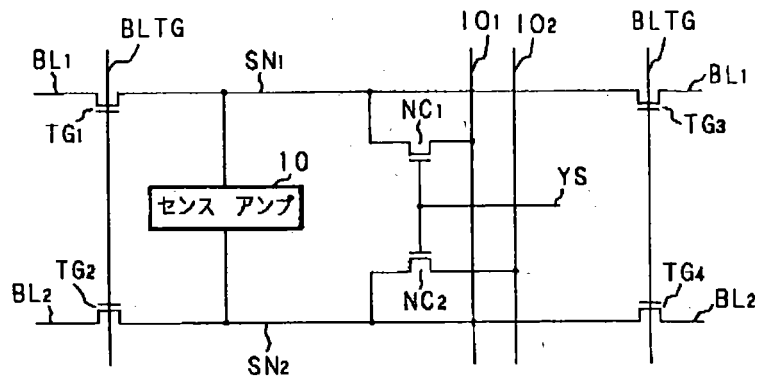
IO_1 、 IO_2 入出力線

SN_1 、 SN_2 センスノード

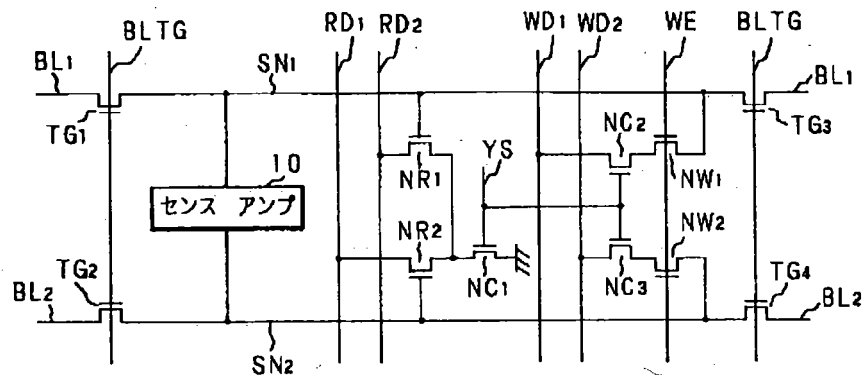
NR_1 、 NR_2 読出し用NチャネルMOSトランジスタ

PC₁ カラム選択用PチャネルMOS トランジスタ[illegible]

【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

7323-5L

G11C 11/34

305